

DIALOG(R)File 352:Derwent WPI

(c) 2002 Thomson Derwent. All rts. reserv.

003472112

WPI Acc No: 1982-20078E 198211

Dual dielectric capacitor for integrated circuits - has layers of silicon nitride or alumina dna titanate or tantalum, hafnium or titanium oxide

Patent Assignee: IBM CORP (IBMC )

Inventor: HOWARD J K

Number of Countries: 006 Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
EP 46868	A	19820310				198211	B
<b>JP 57045968</b>	A	19820316	JP 8189765	A	19810612	198216	
CA 1159917	A	19840103				198406	
JP 88049907	B	19881006				198844	

Priority Applications (No Type Date): US 80182740 A 19800829

Cited Patents: 4.Jnl.Ref: EP 2670; No-SR.Pub: US 4104697; US 4200474

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

EP 46868 A E 23

Designated States (Regional): DE FR GB IT

### **Abstract (Basic): EP 46868 A**

Capacitor having dual dielectric comprises two electrodes (2,5) with a first dielectric layer (3) of Si<sub>3</sub>N<sub>4</sub> or Al<sub>2</sub>O<sub>3</sub> adjacent one electrode and a second dielectric layer (4) of Ta<sub>2</sub>O<sub>5</sub>, HfO<sub>2</sub>, TiO<sub>2</sub>, PbTiO<sub>3</sub>, BaTiO<sub>3</sub>, CaTiO<sub>3</sub> or SrTiO<sub>3</sub> adjacent the second electrode. One electrode is pref. conductive polySi.

A capacitor structure on an Si semiconductor device comprises a first electrode of conductive polySi, Ta or Hf contacting a bared portion of the device, the first dielectric layer on the electrode, the second dielectric layer on the first, and a second electrode, pref. Al- or Au-based metal, on the second dielectric. The bared device portion is pref. an emitter of a bipolar element in an IC, esp. a memory array. The capacitor has high capacitance, e.g. dielectric constant thickness greater than 0.04; and satisfactory breakdown voltage and dielectric loss. It exhibits good thermal stability during processing at up to 500 deg.C.

3

Title Terms: DUAL; DIELECTRIC; CAPACITOR; INTEGRATE; CIRCUIT; LAYER; SILICON; NITRIDE; ALUMINA; DNA; TITANATE; TANTALUM; HAFNIUM; TITANIUM;OXIDE

Derwent Class: L03; U12; U13; U14; V01

International Patent Class (Additional): H01G-004 20; H01L-025 16; H01L-027 10; H01L-029 94

File Segment: CPI; EPI

DIALOG(R)File 345:Inpadoc Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

4352114

Basic Patent (No.Kind.Date): EP 46868 A2 820310 <No. of Patents: 005>

CAPACITOR STRUCTURE WITH DUAL DIELECTRICS (English)

Patent Assignee: IBM (US)

Author (Inventor): HOWARD JAMES KENT

Designated States : (National) DE; FR; GB; IT

IPC: \*H01L-029 94; H01L-027 10; H01G-004 20

Derwent WPI Acc No: \*C 82-20078E;

Language of Document: English

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
CA 1159917	A1	840103	CA 381245	A	810707
EP 46868	A2	820310	EP 81105741	A	810721 (BASIC)
EP 46868	A3	841205	EP 81105741	A	810721
<b>JP 57045968</b>	A2	820316	JP 8189765	A	810612
JP 88049907	B4	881006	JP 8189765	A	810612

Priority Data (No.Kind.Date):

US 182740 A 800829

19 日本国特許庁 (JP)  
② 公開特許公報 (A)

① 特許出願公開  
昭57-45968

51 Int. Cl.<sup>3</sup>  
H 01 L 27 04  
H 01 G 4 10

識別記号

府内整理番号  
8122-5F  
2112-5E

43公開 昭和57年(1982)3月16日  
発明の数 1  
審査請求 有

(全 11 頁)

64二重誘電体付きコンデンサ

①特 願 昭56-89765  
②出 願 昭56(1981)6月12日  
優先権主張 ③1980年8月29日③米国(US)  
④182740  
⑤發明者 ジェームズ・ケント・ハワード  
アメリカ合衆国ニューヨーク州

⑥出願人 フィツシユキル・セダー・ヒル  
・コード(番地なし)  
インターナショナル・ビジネス  
・マシーンズ・コーポレーション  
アメリカ合衆国10504ニューヨーク州ブーモンク(番地なし)  
⑦代理人 弁理士 順宮孝一 外1名

明細書

- 1.発明の名称 二重誘電体付きコンデンサ
- 2.特許請求の範囲  
下記(イ)及び(ロ)の二重誘電体を有するコンデンサ。  
(イ) 硅化シリコン及び酸化アルミニウムの群から選ばれる第1誘電体層。  
(ロ)  $Ta_2O_5$ 、 $HfO_2$ 、 $TiO_2$ 、 $PbTiO_3$ 、 $BaTiO_3$ 、 $CaTiO_3$ 及び $SrTiO_3$ の群から選ばれる第2誘電体層。
- 3.発明の詳細な説明

技術分野

本発明は、コンデンサ構造、特に、半導体デバイスとの一体化に適した、又はこれと複合関係にある、二重誘電体付きコンデンサデバイスに関する。

本発明の目的の1つは、新しい、改良されたコンデンサ構造を提供することである。

本発明のもう1つの目的は、コンデンサ電子用

の新しい、改良された二重誘電体を提供することである。

本発明のもう1つの目的は、半導体デバイスと一体に、又は半導体デバイスと複合関係に形成されうる、新しい、改良されたコンデンサ構造を提供することである。

本発明のさらにもう1つの目的は、妥当な信号強さを得ながら、集積回路の速度を増加させ得る新しい、改良されたコンデンサ構造を提供することである。

背景技術

半導体製作技術においては、電気的性能と集積回路の応答を改善するために、コンデンサ使用の関心が高まっている。例えばメモリアレイなどがある。コンデンサの代表的な応用例を開示したものとして、米国特許第3201667号、第3621347号、第3704384号、第3969197号及び第4012275号がある。二重誘電体で形成された個別及び薄膜コンデンサ

この背景情報として参考になるものとして、米国特許第4,134,697号及びMaterials and Packaging, Vol. 2, PMP-3, No. 3, September 1967の" Tantalum Oxide-Silicon Oxide Duplex Dielectric Thin-Film Capacitors"といふ論文がある。

高い誘電率をもつコンデンサ構造の製作を必要とする集積記憶回路が発展してきた。この点で考慮される誘電体としてTa<sub>2</sub>O<sub>5</sub>があるが、これは誘電率は高いが、200°C以上は急速に性能が低下し、それに伴つて漏洩が生じることがわかつている。この問題を解決するための方法として、酸化タントルを、窒素雰囲気中で熱調節した。これによつて350°Cの温度で酸化タントルが安定化したが、誘電率は低下するところがわかつた。

#### 発明の開示

高密度の集積回路のコンデンサ素子は、高い誘電率をもつコンデンサ構造の製作を必要とするものと考へることができる。回路の必要条件として、

支持されて一体化されている、60μのコンデンサの下部電極2は、集積回路の一部として形成されることがわかつてゐるので、ドーナツ多結晶シリコンで形成される。しかしながら、コンデンサは、半導体デバイスの正酸化シリコン被覆のほか、セラミック、ガラスセラミックなどの絶縁支持基板上に形成できることを理解すべきである。また上のような場合には、電極2は金属を作ることができる。他の例として、タングステン、フニウムをシリコンモードリヤコロードとして使うことができる。希望する場合には、タングステンを個別素子として作ることができる。電極2の厚さは重要でない。普通その用途の必要条件に合わせることができ。普通、多結晶シリコンを使つ場合には、集積回路の一部として、厚さを約0.5μから約1.0μの範囲とすることができる。

電極2の上に形成される二重誘電体は、任意の付着順序で第1誘電体層3と第2誘電体層4から成つてゐる。したがつて、誘電体層3は、電極2

の上に形成され、電極2はそれ以上であるべきである。ここで、 $\epsilon$ ニコンデンサの誘電率、 $t$ ＝誘電体層の厚さ(単位Å)で、例えばTa<sub>2</sub>O<sub>5</sub>では、 $\epsilon = 2.5$ 、 $t \approx 6.0$  Åである。

この比を増加するには、コンデンサは、 $\epsilon = 2.5$ 及び $t$ は $\epsilon = 6.0$  Åの誘電体層をもつ誘電体材料を必要とする。

しかしながら、破壊電圧E<sub>b</sub>は $\epsilon = 1$ として、誘電損失 $\alpha = 1$ であり、したがつて高い $\epsilon$ をもつ材料は、不十分な値のE<sub>b</sub>及び誘電損をもつてゐる。

本発明で述べている二重層誘電体コンデンサ構造は、従来の半導体加工法によつて、十分なE<sub>b</sub>と誘電損に関して高いキヤバシタンス( $\epsilon = 2.5$ 、 $t = 6.0$  Å)をもつて簡単に製作できる。単純化した断面の概念図を第3図に示す。提案の構造は、加工中予期しない熱的安定を示すことがわかつてゐる(350°C)。

第3図によると、本発明の二重誘電体コンデンサは、 $\epsilon = 1$ 単結晶シリコン基板1上に、直接接触

の上に直接形成でき、逆に、望むならばくずれ性に關して、電極4を電極2の上に形成できる。普通、二重誘導体の形成は、図示の順序になされる。したがつて第3図に示すように、厚さ $t_2$ の誘電体層3が既知の技術で付着された空化シリコン及び酸化シリコンのような材料で形成される。したがつて、が許す場合には、誘電体は正酸化シリコンによって、下にむき基板としてシリコンを使う時には、シリコンの熱酸化によつて形成できる。普通、誘電体層3の厚さは、約0.05至1.5μのシリコンストローム(Å)の範囲である。

第2誘電体層4は、Ta<sub>2</sub>O<sub>5</sub>、HfO<sub>2</sub>、PbTiO<sub>3</sub>、BaTiO<sub>3</sub>、CaTiO<sub>3</sub>、TiO<sub>2</sub>及びSrTiO<sub>3</sub>のアレーナから選ばれた金属酸化物及びチタン酸塩で作られる。誘電体層4の厚さ $t_2$ は、約2.0μオーバーストローム(Å)から約40.0μの範囲にある。

第3図のようすに、空化シリコンは、漏洩が少なく、破壊電圧が低いため、層3の誘電体として望ましい。示された金属酸化物及びチタン酸塩は、

キヤバシターンスの値が高いために選ばれている。

一般に、厚さ $t_1$ と $t_2$ 及び誘電率 $\epsilon_1$ と $\epsilon_2$ 、各誘電体層3及び4の $\epsilon/\tau$ は、 $\epsilon/\tau$ 値を最適にするよう調節できる。普通窒化物は、CVD法で作られるが、酸化物とチタニ酸塩は、反応性スパッタリング又は予備成形ターダメントのスパッタリングによつて容易に作られる。

三重誘電体3、4の形成後、アルミニウム及び金系金属のような、適当な金属の上部電極 $\tau_3$ が、蒸着やスパッタリングなどの方法で構造の上に適当に付着される。窒化シリコンと組合わせて挿入したチタニ酸塩 $\epsilon_2$ と $t_2$ を用いると、 $\epsilon/\tau$ 比を0.04(窒化物だけを使つたときの最大値)から0.07に増加できる。 $\text{HfO}_2$ や $\text{Ta}_2\text{O}_5$ ( $\epsilon_2 \approx 0.3$ )のような、高い酸化物では、 $\epsilon/\tau$ の値は0.4~0.65の範囲である。しかしながら、三重誘電体の考え方では、きわめて高密度のメモリに組み込んでからも、 $\epsilon/\tau$ を0.04とすることができる。

窒化シリコンによつて、三重誘電体における漏

洩と破壊電圧の合格値が得られることがわかる。非常に粗い多結晶シリコン上に付着した場合は窒化シリコン誘電体層に不連続が生じ得るので(これは $\tau_3$ と漏洩に影響する)、そのような場合は、多結晶シリコンの上に酸化物又はチタニ酸塩を付着して良好な被覆とし、このより平坦な下部誘電体層の上に窒化シリコンをCVD法によつて形成するのが望ましい。

#### 発明を実施するための最も良方法

第1図は、メモリアレイの記憶素子のトラインスター1-1のエッチングと直列につないだ、本発明の三重コンデンサ1-1の起用を示している。集積メモリアレイの記憶素子ユニットの平面図及び2つの断面図を第2図、第2A図、及び第2B図に示している。この場合基本メモリアレイは、従来法で形成され、N<sup>+</sup>シリコン基板1-2は、N<sup>+</sup>サブコレクタ1-6とドーピング拡散ライン1-3を有している。誘電体被覆1-5(例えば二酸化シリコン)の開口を通して形成した拡散エミッタ1-4も含ま

れでいる。また、第2A図に示すように、ドバイスには、埋設した誘電体絶縁領域1-7を含めることができる。また、トライスター1-1の下には多結晶シリコン下部電極1-8が形成され、誘電体層3 Aと4 Aを支持する。次に、誘電体層3 Aと4 Aの上に上部電極1-9が、メモリのピントライスとして形成される。記憶素子の単純化したもの第3図に示す。

第3図のピントライス相当する一連のドバイスが製作され、誘電体層3の厚さ $t_1$ 、誘電体層4の厚さ $t_2$ 、使われている各種誘電体成分の誘電率 $\epsilon_1$ と $\epsilon_2$ の変化の影響を調べるために試験した。その結果を下の表に示すが、この場合、N<sup>+</sup>単結晶シリコン基板1-1によつて支持されたN<sup>+</sup>ドーピング多結晶シリコン電極2上の下部誘電体層3としてすべての場合に窒化シリコンが使用された。シリコン基板1の裏側は、0.5ミクロン厚のアルミニウムコントラクト(図示せず)で被覆した。各々の場合、三重誘電体3、4上の上部電極5としてAと又はA<sub>0</sub>を使用した。

層4の成分	$t_1$ (Å)	$t_2$ (Å)	$\epsilon_1$	$\epsilon_2$	キャパシタンス (pF)	$\epsilon_1, 2 / t_1, 2$
BaTiO <sub>3</sub> (スパッタリング)	100	400	8	(アモルフアス)	1096	0.051
BaTiO <sub>3</sub>	150	400	8	100 <sup>1</sup>	797	0.044
BaTiO <sub>3</sub>	100	500	8	100 <sup>1</sup>	1036	0.057
BaTiO <sub>3</sub>	150	500	8	100 <sup>1</sup>	764	0.042
BaTiO <sub>3</sub>	100	500	8	200 <sup>2</sup>	1209	0.057
				(結晶性)		
BaTiO <sub>3</sub>	150	500	8	200 <sup>2</sup>	853	0.047
BaTiO <sub>3</sub>	100	400	8	200 <sup>2</sup>	1251	0.07
Ta <sub>2</sub> O <sub>5</sub>	100	400	8	2.5	621	0.035
Ta <sub>2</sub> O <sub>5</sub>	100	300	8	2.5	722	0.04
Ta <sub>2</sub> O <sub>5</sub>	100	250	8	2.5		0.044

第4図には、多結晶シリコン電極2とともに誘電体層4としてスパッタリングによるう〇〇ÅのTa<sub>2</sub>O<sub>5</sub>(Ar<sup>+</sup>ノブ露開気中のTa<sub>2</sub>O<sub>5</sub>ターゲットから)を、電極5として金を使った場合の、2種類のデバイスのキャパシタンスを示している。金属Taと純錫物S<sub>1</sub>O<sub>2</sub>を第2層3として使用した。

この研究において、三重誘電体キャパシタンスを、指定の温度並びに露開気で熱処理後、測定した。

Ta<sub>2</sub>O<sub>5</sub>ターゲットを、Ar=10モリ<sub>2</sub>混合ガス中で10、リトルの圧力で300W下でスパッタリング(RF)し、500Åの膜を作つた。1つの場合には、下部電極がTa/N<sup>+</sup>多結晶シリコン、他の電極がN<sup>+</sup>多結晶シリコンであつた。各々の膜を純O<sub>2</sub>又はフォーミングガス(90%H<sub>2</sub> + 10%N<sub>2</sub>)中でアニールし、(アレアニール)A<sub>1</sub>とA<sub>2</sub>の上部電極を付着し、そしてキャパシタンス値を測定した(第4図)。Ta<sub>2</sub>O<sub>5</sub>/N<sup>+</sup>多結晶シリコンの場合には、O<sub>2</sub>は明らか

に容易にTa<sub>2</sub>O<sub>5</sub>を通して拡散し、N<sup>+</sup>多結晶シリコンを酸化させてS<sub>1</sub>O<sub>2</sub>(三重誘電体)層を作る。直徑0.5mmのドットに対するキャパシタンスの値は約150~370pFであることに注意されたい。S<sub>1</sub>O<sub>2</sub>層がない場合には、キャパシタンスは約100~750pFとなる(第4図)。Ar<sup>+</sup>ノブ露開気中でS<sub>1</sub>O<sub>2</sub>/N<sup>+</sup>多結晶シリコン構造のキャパシタンスの観測値から、S<sub>1</sub>O<sub>2</sub>層の厚さは約7.0~10.0Åであると推定できる。

第5図は、第4図の研究のため製作し、酸素露開気中で250°Cで3時間アレアニールした三重誘電体コノデンサの漏洩特性を示している。

漏洩(DC)に及ぼすS<sub>1</sub>O<sub>2</sub>層の影響を第5図に示す。漏洩は、Ar<sup>+</sup>/Ta<sub>2</sub>O<sub>5</sub>/Ta/N<sup>+</sup>に対して約3~4ボルト逆偏に増加するが、三重誘電体構造に対しては低いままである(1ボルトで約1.0mAアンペア)。したがつてS<sub>1</sub>O<sub>2</sub>層はDC漏洩を大幅に改善するが、S<sub>1</sub>O<sub>2</sub>の誘電率が低い(3~5と仮定される)ため、キャパシタンス(直列)はかなり減少する(第4図)。

$HfO_2$ ・ $N^+$ 多結晶シリコンをり、中でアーチルする場合にも、 $SiO_x$ 二重誘電体層の形成が起こる(第6図)。キャビンタクスは600~700°C pF  $HfO_2$ ・ $N^+$ 多結晶シリコンから約300°C pFに減少することに注意されたい。第6図は、AとBはAの上部電極が、およそ同じキャビンタクスを生じることを示している。 $HfO_2$ 層は5.01 Åの厚さで、第4回の $Ta_2O_5$ 層と同じ条件で付着された。Aの上部電極(第7回)とA(第8回)の漏洩結果は、 $SiO_x$ 層が50~70°Cの範囲で大幅に漏洩を改善することを示している。

$HfO_2$ ・ $Hf$ ・ $N^+$ 多結晶シリコンと $HfO_2$ ・ $SiO_x$ ・ $N^+$ 多結晶シリコン膜のキャビンタクスと漏洩特性は、アオーミングガス(9.0%  $H_2$  + 1.0%  $N_2$ )中で350°Cでのアーチル後、ほとんど不变のままである。しかし、350°C以上のアーチル温度に対して漏洩の大幅な増加が見られ、デバイスは不安定と見なされた。

望しい二重誘電体構造は、Aと+10%  $O_2$ ブ

ラズマ中でTaターゲットをスピナタリードすることによって製作された(反応性スパッタリング)。その結果生じた $Ta_2O_5$ 膜は約2.01 Åの厚さであった。付着電力は5.00ワットで、スピナタリード前のスパッタ圧力は8~10 Torrであった。付着速度は約4.0 Å/秒であつた。基板は、+500~200°Cの $N^+$ 多結晶シリコンで被覆した。100°C  $SiO_2$ から成り、約0.01 Åの $Si_3N_4$ がCVDによって多結晶シリコン上に生成された。 $Ta_2O_5$ 膜が $Si_3N_4$ 上に付着され、さりとて、厚さ1.05 Åの円形ドットを明確にする金属マスクによってAと及びBはAの蒸着することによって構造が完成した。上部電極の金属を蒸着する前に約2.00 nmまで $O_2$ 中でサンプルをアーチルするのが好ましいことがわかつた。第9回は、同じアーチル条件と上部電極金属が、アオーミングガス中で350°Cでのアーチルのあとキャビンタクス(pF)にほとんど影響がないことを示している。同様に、1ナノアンペア(10<sup>-9</sup> A)に等しいかそれ以下の漏洩値(I<sub>L</sub>)を

もつたアーチルしたセミコンドクターチップは上部電極金属によって、それがどの程度被覆しない。

第10回は、350°Cのアーチル後、Aの上部電極についての、それを上部電極に対する合格データの一部。サンプルの割合を示している。アーチルを越えると漏洩がわずかに減少する点に注意されたい。金属化、オーブン処理、及びはんだ再溶融の各工程は400°C以上のアーチルを防ぐため、二重誘電体アーチルの熱温安定性は非常に重要である。信頼性のある構造であるためには、アーチルの性質は必ず+350°Cであるべきであればそれ以上までの安定性などはなきない。二重誘電体 $Ta_2O_5$ ・ $Si_3N_4$ ・アーチルサは、加工中より高い安定性を示す。第11回は、5.01 Åの加工後キャビンタクスがわずかに増加するだけであることを示している。このデータは、昇温温度アーチル、すなわちアーチルガス中で30分間、450°C、460°C、350°Cなど、などで先にアーチルした5.01 Åのサンプルを示している。Aの電極の漏洩データ(第12回)も50°C

までの累積電圧の10Vまでの結果を示してある。ドライバの動作電圧は約1.0Vであるから、かなりの安全マージンをもつている。

以上、本発明の最良の実施例について説明してきたが、最初の方で述べたように、 $Si_3N_4$ の代りに酸化アルミニウム $Al_2O_3$ を用いても良好な結果が得られる。

#### 4. 本発明の簡単な説明

本発明の構成部の一部である断面図において、

第1回は、本発明の二重誘電体アーチルサを用いた記憶素子の回路図である。

第2回は、本発明の二重誘電体アーチルサを組合せることができる記憶素子ユニットの平面図である。

第3回は、本発明の二重誘電体アーチルサの单纯化した断面図である。

第4回から第12回までは、二重誘電体コンデ

ンサの特性を示すグラフである。

出願人 インタナショナル・ビジネス・マーンズ・コ・オーラ・ヨン

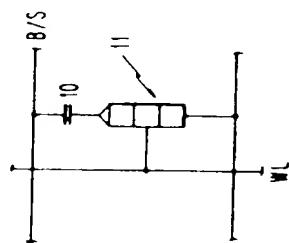
代理人 井理士 順 宮 勲  
(外1名)

FIG. 1

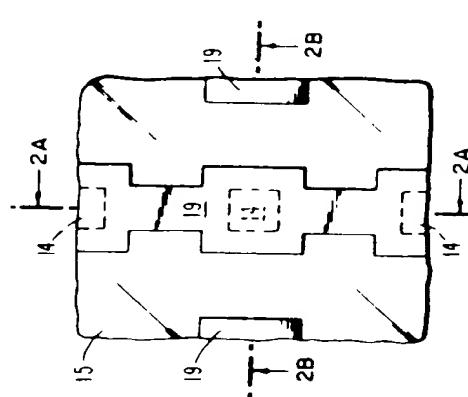


FIG. 2A

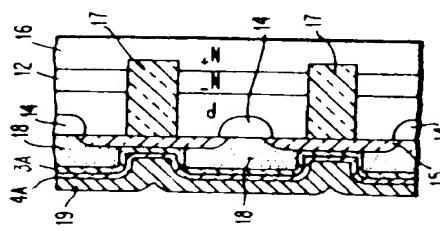


FIG. 2B

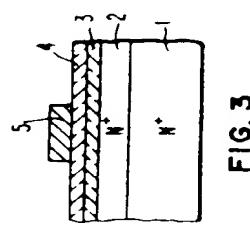
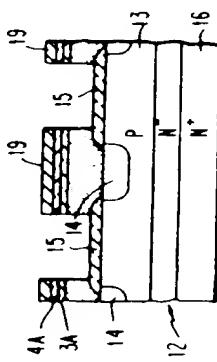


FIG. 3



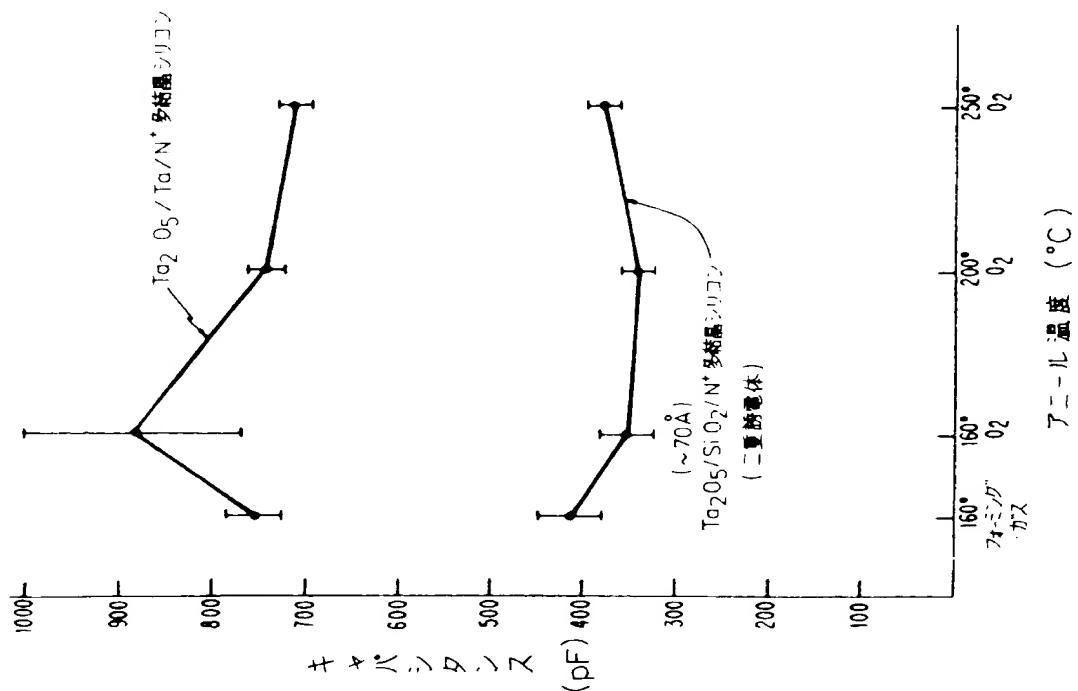


FIG. 4

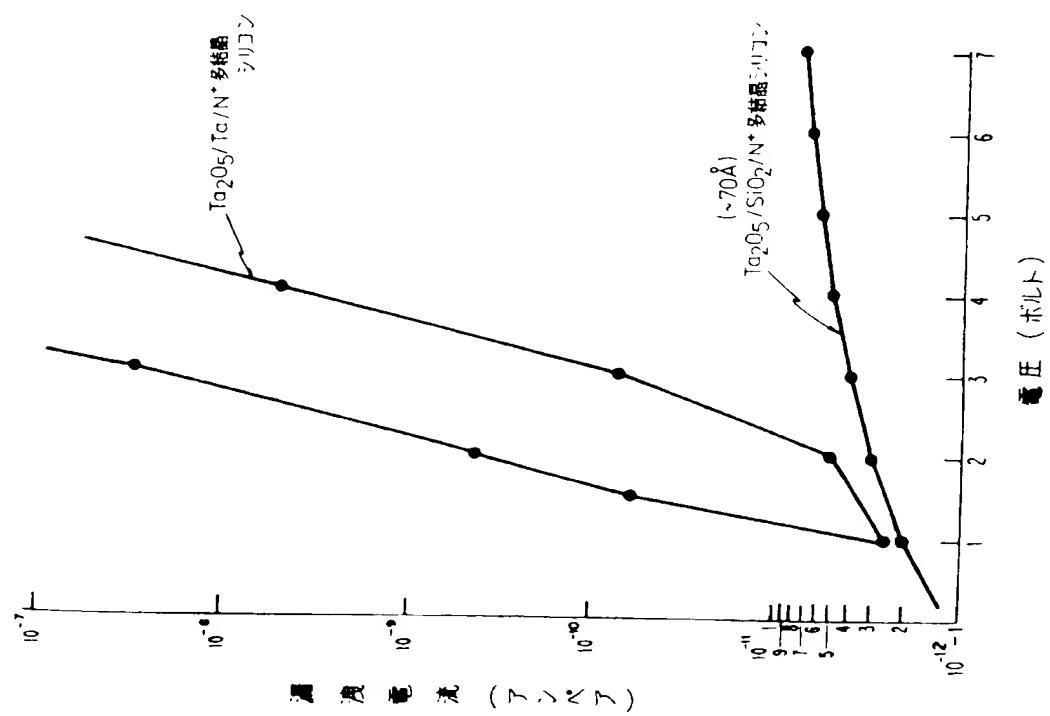


FIG. 5

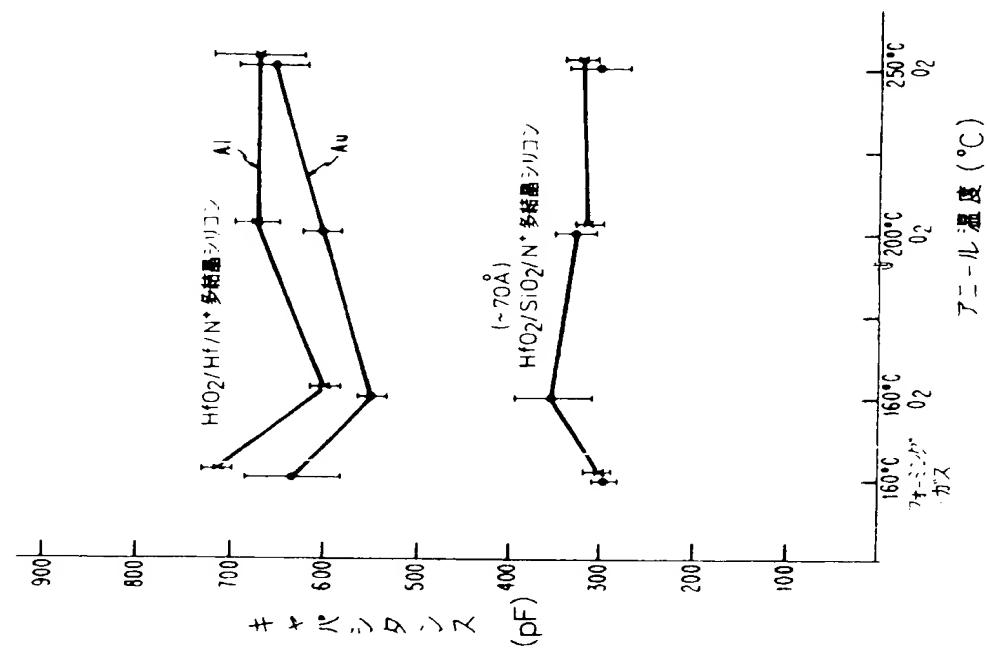


FIG. 6

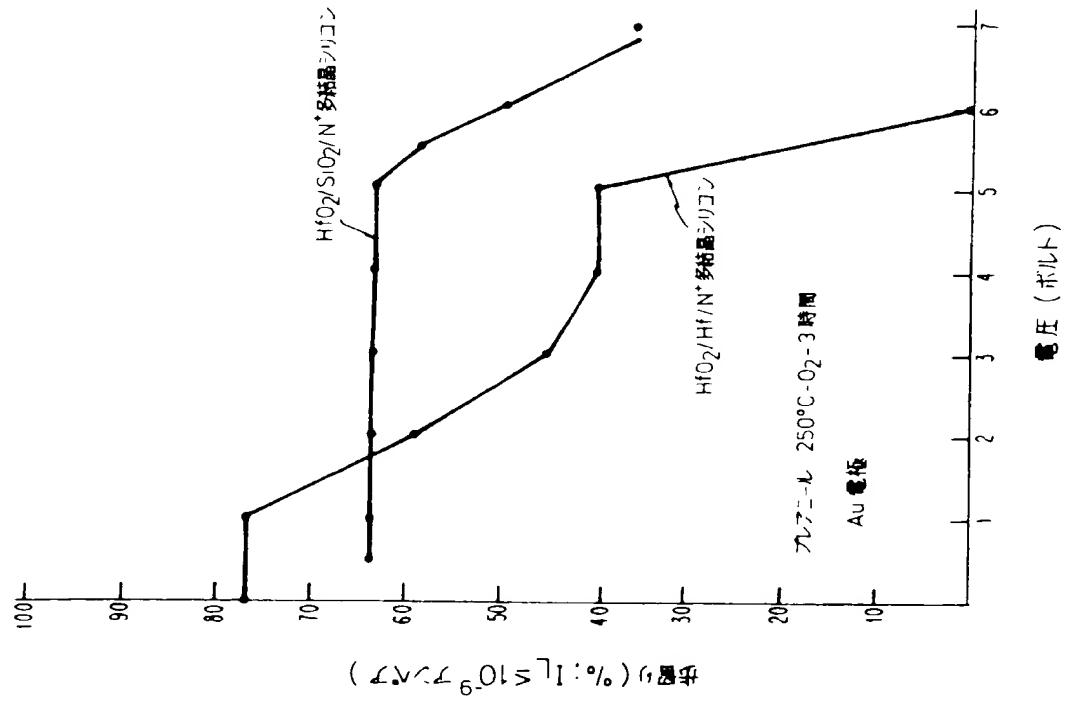
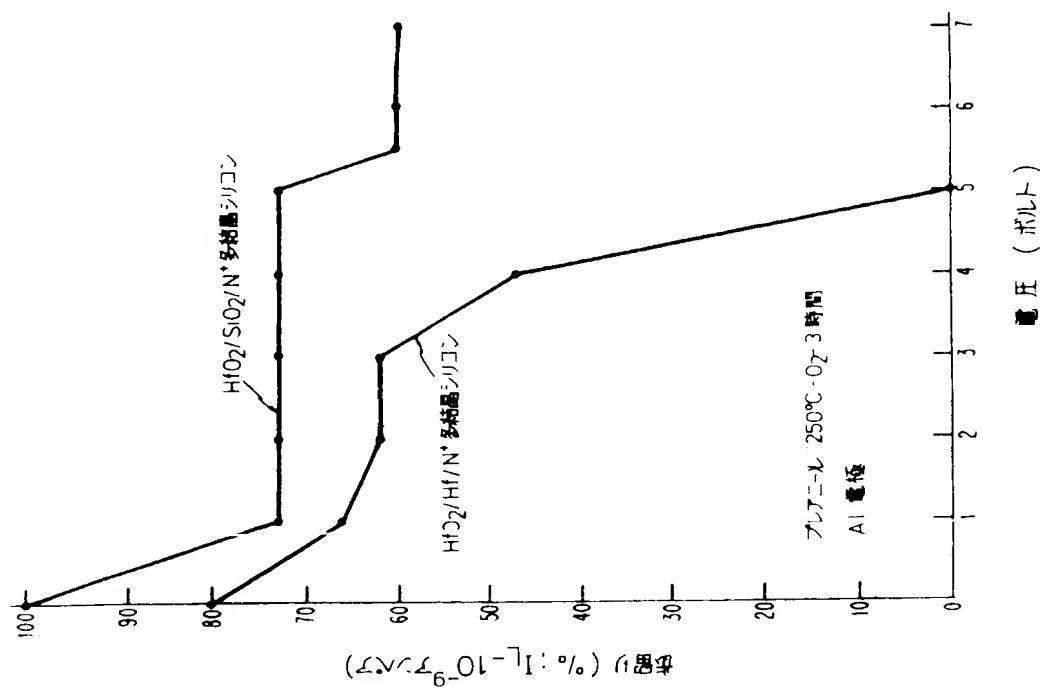


FIG. 7



8  
FIG.

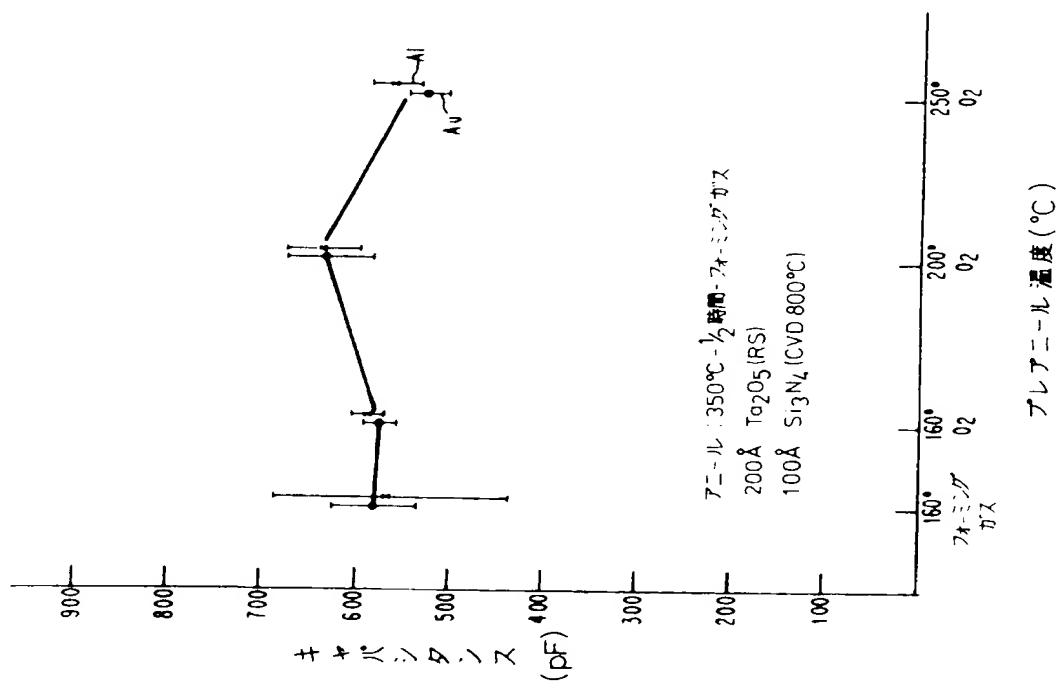


FIG. 9

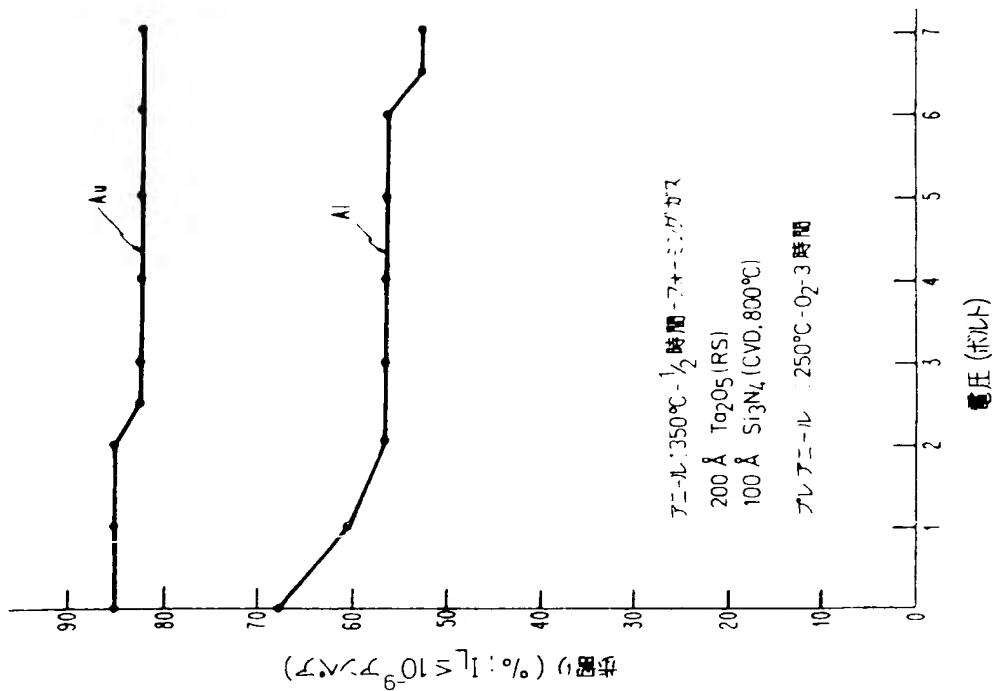


FIG. 10

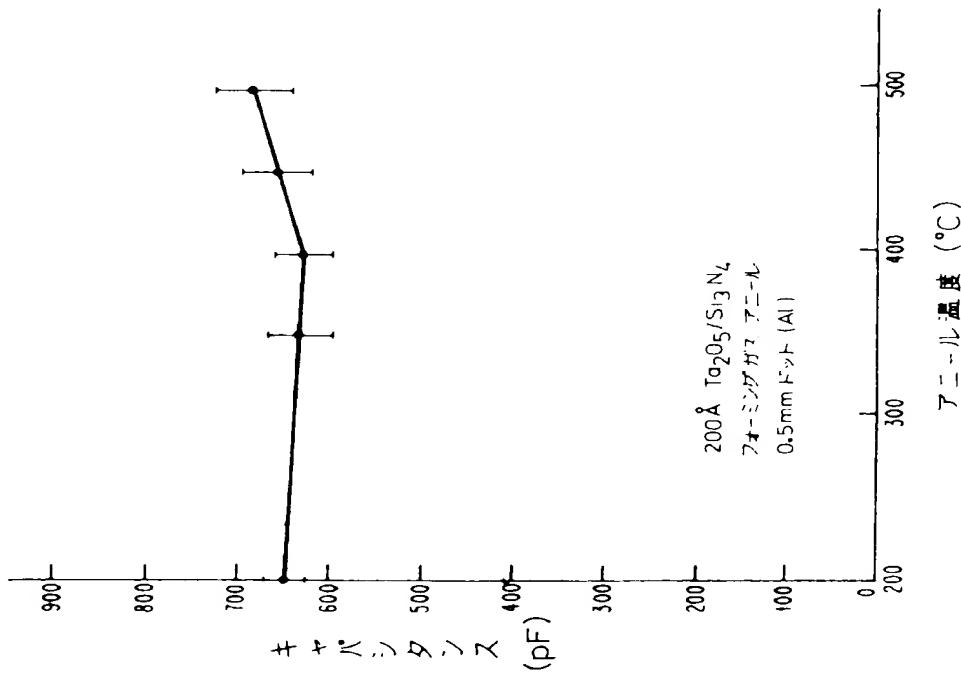


FIG. 11

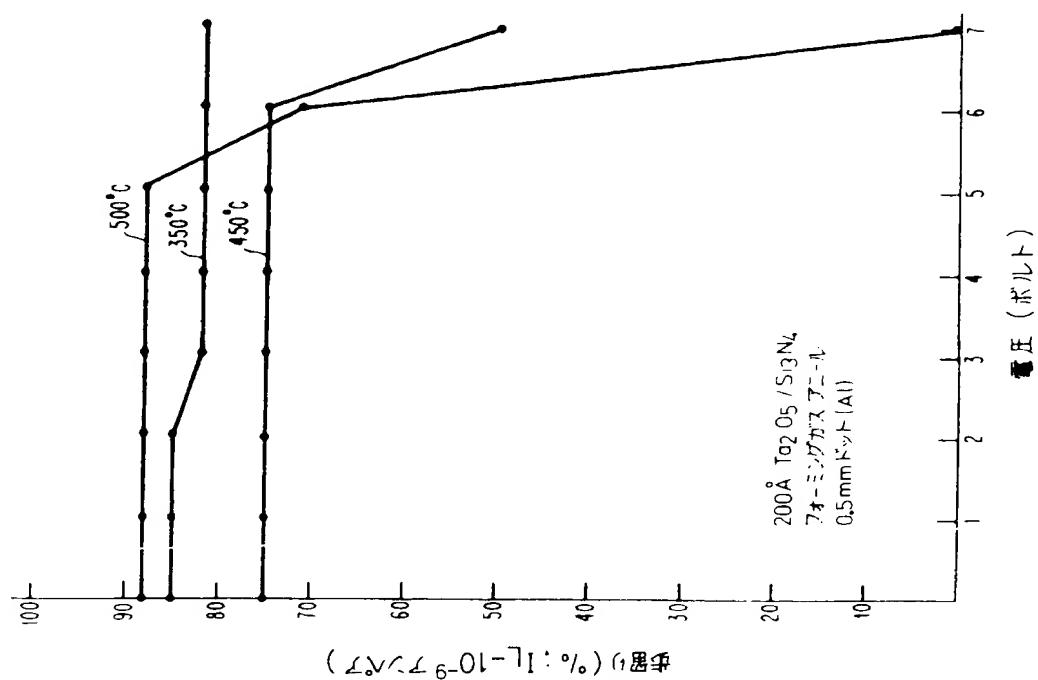


FIG. 12